

cuando este algoritmo es combinado con el algoritmo de karatsuba, este tiempo de respuesta es disminuido drásticamente a 19 ciclos de reloj (Anexo A.).

El diseño de esta multiplicación (Ilustración 2), consta de 6 entradas y 2 salidas:

1. clk: el reloj a una frecuencia de 500 MHz.
2. Reset: reinicio de la multiplicación
3. rs1: multiplicando (32 bits)
4. rs2: multiplicador (32 bits)
5. Enable: activa la multiplicación, es decir, la multiplicación no se ejecutará hasta que no se dé la orden (activo en alto)
6. funct3: Asigna la clase de multiplicación MulH[[S]U] de acuerdo al estándar de RV32M, la cual indica:

funct7	rs2	rs1	funct3	rd	opcode
MUL rd,rs1,rs2	rs2	rs1	00	rd	0110011
MULH rd,rs1,rs2	rs2	rs1	01	rd	0110011
MULHSU rd,rs1,rs2	rs2	rs1	10	rd	0110011
MULHU rd,rs1,rs2	rs2	rs1	11	rd	0110011

7. rd: salida del multiplicador (64 bits).
8. Busy: señal de salida que indica cuando el bloque está disponible para una nueva multiplicación.

el objeto de multiplicar números directamente, sino que también los ciclos de reloj utilizados son inferiores, esto se debe a que los dos procesos se formulan para optimizar el tiempo de respuesta del sistema de multiplicación para circuitos digitales, pero su simplificación se ve limitada por los recursos del procesador, ya que se deben realizar tres multiplicaciones en paralelo, utilizando recursos adicionales del mismo.

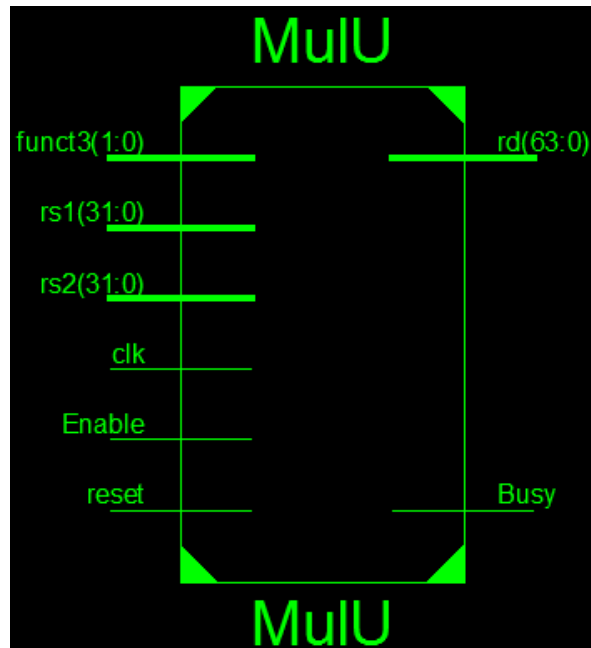


Ilustración 2. Bloque multiplicación

IV. CONCLUSIONES

Usando los dos algoritmos en conjunto no solo muestran una eficacia igual a cualquier conjunto de funciones que tengan

ANEXOS

A.

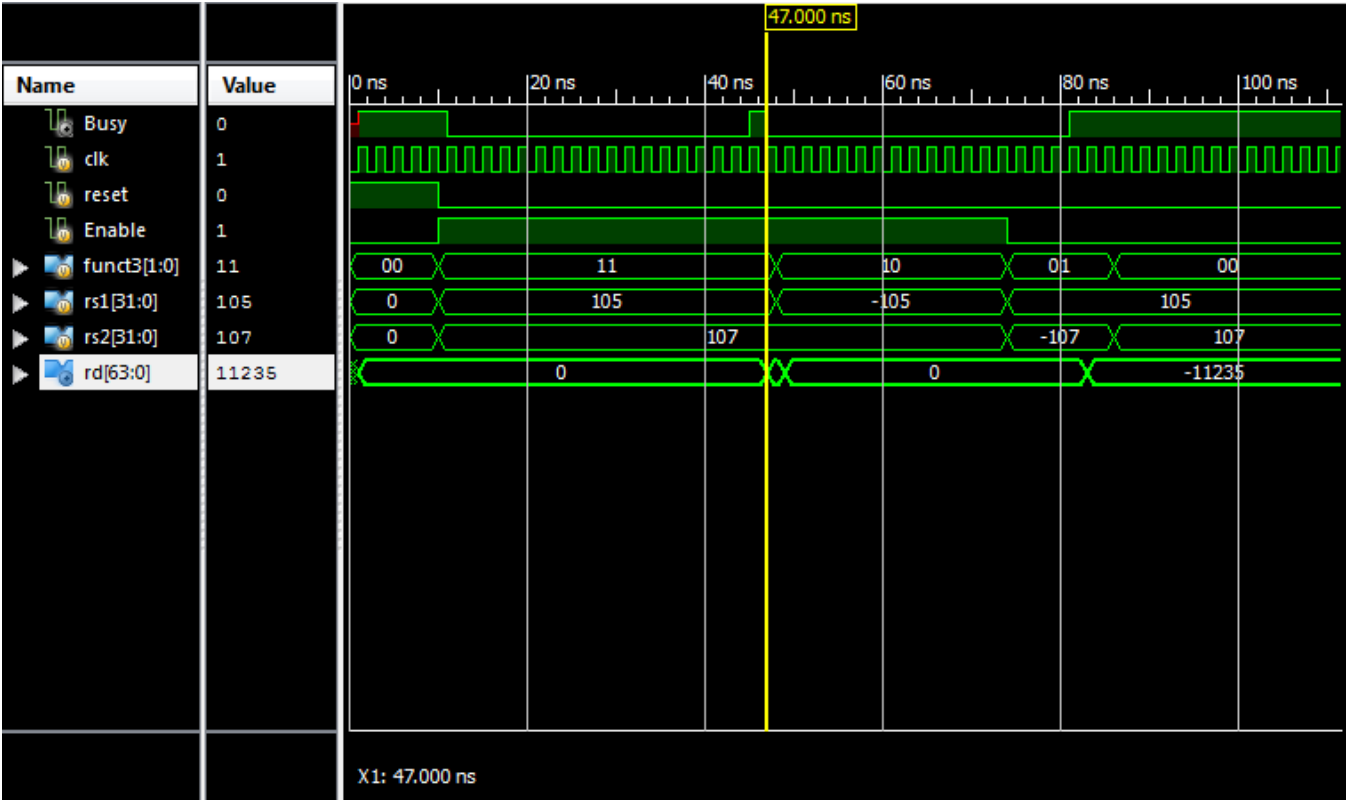


Ilustración 3. Simulación bloque multiplicación