

arRISCado

MC851 - Projeto em
Computação 1

FPGA 3

165429 - Ângelo Renato Pazin Malaguti

195727 - Claudio dos Santos Júnior

233840 - Elton Cardoso do Nascimento

234720 - Gabriel Costa Kinder

198921 - Iago Caran Aquino

218733 - João Pedro de Moraes Bonucci

Objetivo

Ampliação para RV32IMA com cache
L1 e periféricos

(E fazer a primeira parte funcionar)

Metas

1. Implementação do conjunto RV32IMA
2. Adição de cache L1
3. Adição de periférico para o processador
4. Demonstrar código que use o periférico em FPGA

Pendências Anteriores

1. Integração completa da pipeline
2. Ambiente de execução para o processador
3. Conjunto RV32I

Pipeline

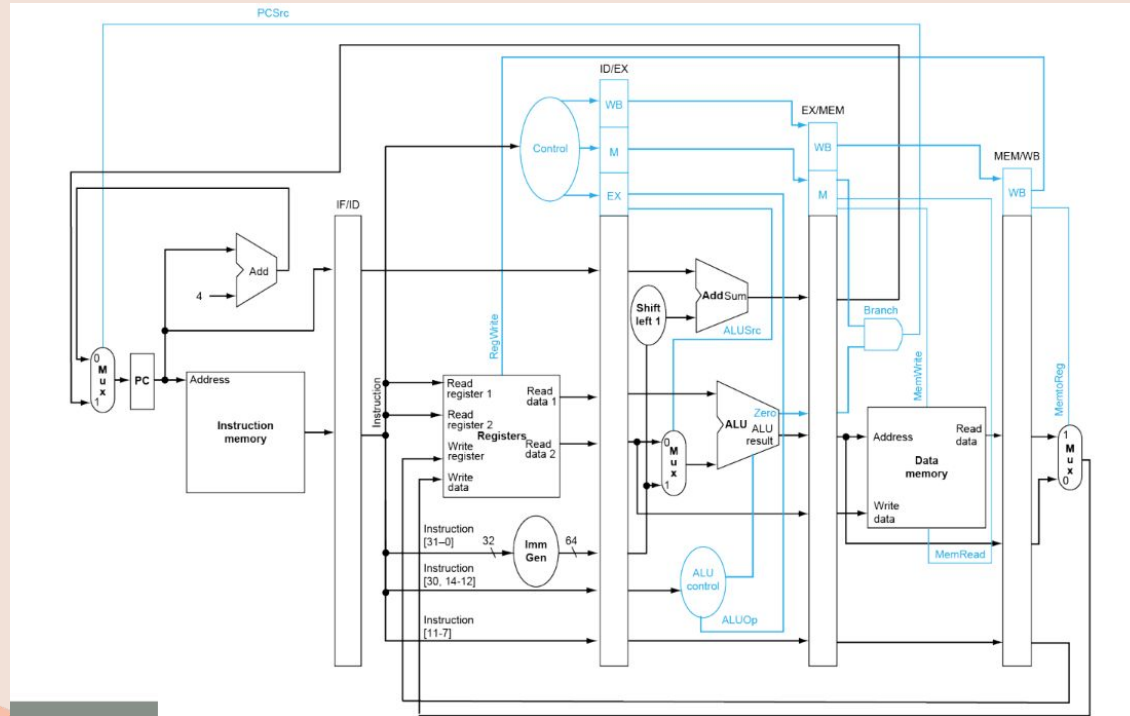
Fetch

Decode

Execute

Mem

Wb



Pipeline

- Integração dos estágios
- Execução na FPGA
- Elaboração e refinamento de testes
- Ambiente de execução funcional

UART

- Recebendo instruções através do serial
- Memória própria para instruções
- Comunicação com CPU funcional e desacoplada
- Matriz de registradores não funcionaram

Testes

- Adicionados testes para o conjunto de instruções RV32MA
- Automatização da geração dos binários e hexadecimais
- Conversão de Little Endian para Big Endian
- Criação de código em alto nível
- Automatização da conversão do código em alto nível para assembly, binário e hexadecimal
- Automatização da execução dos testes em simulação

Suporte a RV32IM

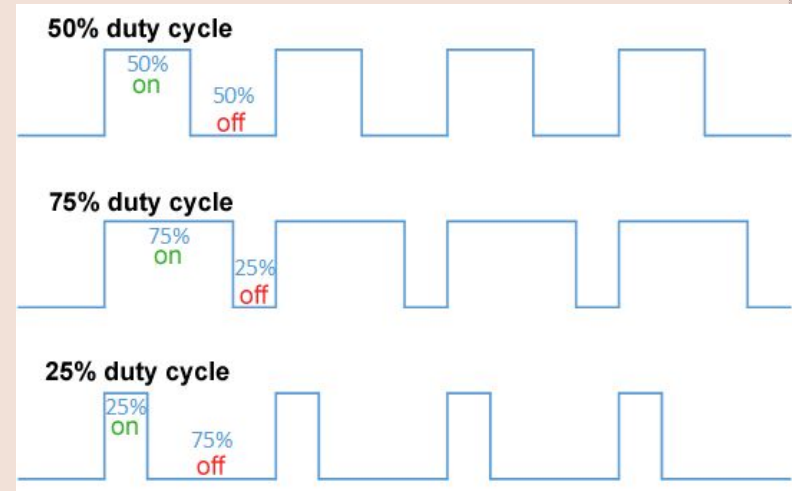
- Adição das instruções nos módulos de decode, execute e na ALU
- No decode, o opcode foi declarado como "localparam"
- No execute, os sinais de controle AluOP e AluSrc foram utilizados para determinar os operandos a serem enviados para a ALU
- Na ALU, o AluControl foi definido como "localparam"
- O sinal AluControl é empregado para determinar a operação aritmética ou lógica a ser executada entre os dois operandos

Implementação Periférico

- Periféricos mapeados na memória
 - Prefixo do endereço
 - 000: memória principal
 - 001-111: periféricos
 - Até 7 dispositivos
-
- Simplicidade de execução
 - Desperdício de endereços de memória

Porta PWM

- Simulação de um sinal analógico utilizando um sinal digital
- 2 endereços
 - 001xx...xx0: ciclos ativos
 - 001xx...xx1: ciclos em um *duty cycle*



CC BY-SA 4.0 - Thewrightstuff

Aí deu errado...

parte 2



Pendências

- Corrigir problemas da pipeline na FPGA
- Corrigir bugs da integração do periférico
- Criação de um script para execução do periférico
- Adicionar as instruções do conjunto RV32A
- Implementação da Cache L1

Aprendizado

- As ferramentas não suportam os mesmos recursos de Verilog
- A ferramenta de síntese tenta sempre otimizar o circuito gerado
- As ferramentas de compilação geram o código em little endian
- As ferramentas de simulação podem ser utilizadas para automatização de testes
- Usar a simulação para visualizar a onda do sinal gerado pela FPGA